

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-160571

(43) 公開日 平成7年(1995)6月23日

(51) Int.Cl.⁶

G 0 6 F 12/00

識別記号

5 6 4 C

庁内整理番号

9366-5B

F I

技術表示箇所

審査請求 未請求 請求項の数 5 O L (全 5 頁)

(21) 出願番号

特願平5-302545

(22) 出願日

平成5年(1993)12月2日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 391002384

株式会社日立旭エレクトロニクス

愛知県尾張旭市晴丘町池上1番地

(71) 出願人 000233457

日立中部ソフトウェア株式会社

愛知県名古屋市中区栄3丁目10番22号

(72) 発明者 福田 裕一

神奈川県海老名市下今泉810番地 株式会

社日立製作所オフィスシステム事業部内

(74) 代理人 弁理士 小川 勝男

最終頁に続く

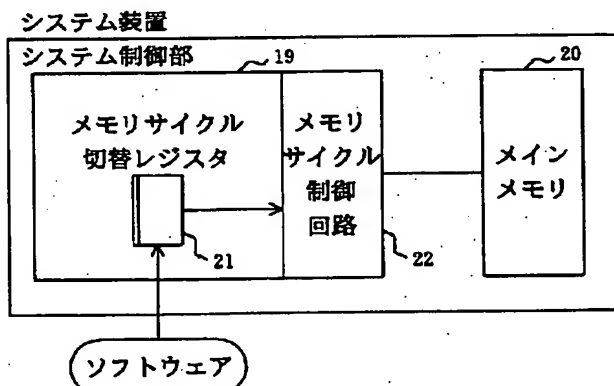
(54) 【発明の名称】 メモリサイクル切替制御方法及びメモリサイクル切替機能を有する情報処理装置

(57) 【要約】

【目的】複数の動作周波数に最適なメモリサイクルにソフトウェアで切替が可能ないように予め設計しておくことにより、動作周波数の高速化をソフトウェアの切替のみで実現可能とし、ハードウェアの変更を大幅に削減できるようにする。

【構成】システム装置16は、メモリサイクル制御回路19及びメモリサイクル切替レジスタ21を含むシステム制御部19並びにメインメモリ20から構成される。ソフトウェア17は入力装置15からの入力信号18を監視し、メモリサイクル切替レジスタ21を入力信号18が一定時間以上ない場合は低周波モードに、入力信号18を検知した場合は通常モードに設定することにより、メモリサイクルを切り替える。

図 5



【特許請求の範囲】

【請求項 1】 情報処理装置において、複数の動作周波数に最適なメモリサイクルを実現するために、レジスタ（ソフトウェアインタフェース）により、メモリサイクル制御部の切替を行うメモリサイクル切替制御方法。

【請求項 2】 メモリサイクルを制御するシーケンサ回路の、あるステージをレジスタ（ソフトウェアインタフェース）の設定値（動作周波数による）から、挿入・削除の切替を決定することによって、このシーケンサ回路から作られるメモリサイクルの制御信号（RAS, CAS, WE, データ入力ラッチクロック、データ出力ラッチクロックなど）を、最適化するメモリサイクル切替制御方法。

【請求項 3】 情報処理装置において、メモリサイクルのモードを記憶する手段と、前記情報処理装置において動作するプログラムが前記記憶手段の記憶内容を変更する手段と、前記メモリサイクルモードの記憶内容に基づいてメモリサイクルの切替を制御する手段とを有することを特徴とするメモリサイクル切替機能を有する情報処理装置。

【請求項 4】 入力装置からの入力信号を監視する手段と、前記入力信号監視手段からの情報に基づいて前記プログラムがメモリサイクルモードの記憶内容を設定する手段とを有することを特徴とする請求項 3 記載のメモリサイクル切替機能を有する情報処理装置。

【請求項 5】 前記メモリサイクルモード記憶内容設定手段は、前記メモリサイクルモードを前記入力信号が一定時間以上ない場合は低周波モードに設定し、前記入力信号を検知した場合は通常モードに設定するように機能するものであることを特徴とする請求項 4 記載のメモリサイクル切替機能を有する情報処理装置。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は、汎用コンピュータ、ワークステーション、パソコンなどの情報処理装置のメモリ制御に関する。

【0002】

【従来の技術】 従来、メモリサイクルは、ある一つの動作周波数について最適になるよう設計される。

【0003】 また、サイクル切替制御の例としては、特開平 4-364558 号公報のように、CPU から発せられる入出力アドレスをもとに、システムに接続される各入出力デバイスについて、最適な入出力サイクル数をそれぞれ設定できるというものが有る。

【0004】

【発明が解決しようとする課題】 近年、システム装置の動作周波数の高速化が頻繁になり、その度に、それぞれの動作周波数に最適なメモリサイクルになるよう、ハードウェアの変更が余儀なくされてきた。

【0005】 本発明では、メモリサイクルをあらかじめ

め、ソフトウェア切替で複数の動作周波数に最適となるように設計しておくことにより、動作周波数の高速化が、ソフトウェアの切替のみで実現可能となり、ハードウェアの変更が大幅に削減できる。

【0006】 また、本発明により、複数の動作周波数モードで動作するシステム装置において、各動作周波数に最適なメモリサイクルが実現可能となるため、システム装置の性能向上となる。

【0007】

【課題を解決するための手段】 上記の目的を達成するために、メモリサイクルを制御するシーケンサ回路の、あるステージをレジスタ（ソフトウェアインタフェース）の設定値（動作周波数による）から、挿入・削除の切替を決定することによって、このシーケンサ回路から作られるメモリサイクルの制御信号（RAS, CAS, WE, データ入力ラッチクロック、データ出力ラッチクロックなど）を、最適化する。

【0008】

【作用】 本発明により、システム装置の動作周波数の高速化がソフトウェアの切替のみで実現可能となり、ハードウェアの変更が大幅に削減できる。

【0009】 また、本発明により、複数の動作周波数モードで動作するシステム装置において、各動作周波数に最適なメモリサイクルが実現可能となり、システム装置の性能向上となる。

【0010】

【実施例】 以下、本発明の実施例を説明する。

【0011】 図 1 は、本発明による DRAM コントローラの実施例を示すブロック図である。DRAM コントローラ 2 は、CPU 1 からメモリアクセスのコマンドを受け、制御信号（11a~c）、アドレス 11d、データ線 11e を介して DRAM にアクセスする。

【0012】 CPU 1 と DRAM コントローラ 2 は共通の動作クロック 8 で動作し、DRAM コントローラ 2 内の CPU I/F 部 4 及びシーケンサ 6 にこのクロック 8 が供給される。

【0013】 シーケンサ 6 では、CPU I/F 部 4 からのメモリ起動信号 3 を受けると、シフト 0~K がクロックに同期して順に L0 から HI に立上り、各シフトの出力が、タイミング信号（SFT0~K）としてメモリ制御タイミング生成組合せ回路に渡される。

【0014】 メモリ制御信号生成組合せ論理回路 10 は、シーケンサ 6 からのタイミング信号（SFT0~K）を組み合わせ、DRAM 制御信号（RAS 11a, CAS 11b, WE 11c）を生成する。メモリ制御タイミング切替レジスタ 5 は、ソフトウェアによる設定値に従って DRAM 制御信号（RAS 11a, CAS 11b, WE 11c）のタイミングを切り替え、各動作クロック 8 に最適なメモリサイクルを提供するためのものである。すなわち、高い周波数の動作クロック p の場合は、クロック数を多くし、低い周波数の動作クロック q の場合は、クロック数を少なくするこ

とで、周波数に合わせて、DRAM 14のアクセスタイミングに適した最速のメモリアクセス性能を実現することが可能となる。

【0015】シーケンサ動作切り替え回路7は、メモリ制御タイミング切替レジスタ5のセレクト信号に従い、シーケンサ動作を切り替えるための回路である。これにより、図1に示す回路では、シフタ2〜Kの動作タイミングを1クロック分ずらすことが可能となる。

【0016】図2は、高い周波数pの場合のタイミングチャートである。SFT0〜Kは、1クロックずつシフトしており、このタイミングを使用して、生成したRAS、CASは、RASの立下がりからCASの立上りまで計jクロックとなる。

【0017】図3は、低い周波数qの場合のタイミングチャートである。SFT2の立上りタイミングは、SFT1の立上りタイミングと同タイミングとなり、SFT2〜Kのタイミングは図2と比べると左にずれる。従って、このタイミングを使用したRAS、CASは、 T_{RCD} (RAS・CAS遅延時間) が2クロックとなり、全体でj-1クロックとなる。

【0018】シーケンサはそのままメモリ制御信号生成組合せ回路10にてタイミング切替えを行う方法も考えられるが、シーケンサ動作切り替え回路7によってタイミングの切り替えを行うことの利点は次の2つである。

【0019】(1)メモリ制御信号生成組合せ回路10に切り替え回路を設けると、多くのメモリ制御信号を切り替える必要が有る場合や、多くの動作モードを持つ場合などでは、切り換え論理が多くなり、回路規模が大きくなるが、本発明を用いると、回路規模はごく小さいものとなる。

【0020】(2)メモリ制御信号生成組合せ回路に切替回路を設けると、タイミングのもととなるシフタから、制御信号出力までのゲート段数が多くなりディレイが大きくなるため、高い周波数に対応できなくなるが、本発明を用いると、シフタからのゲート段数が増加しないため、高い周波数に対応しやすくなる。

【0021】図4は、請求項3に基づく、2つの動作周波数を切替えるパワーマネージメント機能を持つ情報処理装置のシステム構成を示すブロック図であり、図5は図のシステム装置を詳細に示したブロック図である。

【0022】図6は、図4及び図5のシステム構成での処理手順の一実施例を示すフローチャートである。

【0023】次に、図6のフローチャートに基づき、図4及び図5のシステム構成及び処理手順を説明する。

【0024】本情報処理装置は、キーボード・マウス等の入力装置15、システム装置16、及びソフトウェア17等から構成され、省電力化の為に、入力信号18が一定時間ない場合、動作周波数を切替えて低くする(低周波数モード)パワーマネージメント機能を有している。システム装置16は、システム制御部19、メイン

メモリ20等からなり、システム制御部にはメモリサイクル制御回路22、メモリサイクル切替レジスタ21等が含まれる。メモリサイクル切替レジスタは、二つの動作周波数モードにそれぞれ最適なメモリサイクルを切替えるレジスタである。

【0025】まず、本装置の電源をオンにすると、ソフトウェア17は、メモリサイクル切替レジスタ21を通常モードに設定し、通常モードに最適なメモリサイクルで動作を開始する。ここで、ソフトウェア17はキーボード・マウス等の入力装置15からの入力信号18の有無を絶えず監視している。もし、入力信号18が一定時間以上ない場合には、ソフトウェア17は、メモリサイクル切替レジスタ21を低周波数モードに設定し、動作周波数を低周波数モードに切替える。この時点で、メモリサイクルは低周波数モードに最適な状態で動作することになる。ここでも、ソフトウェア17はキーボード・マウス等の入力装置15からの入力信号18の有無を絶えず監視しており、入力信号を検知した場合には、ソフトウェア17は、メモリサイクル切替レジスタ21を低周波数モードから通常モードに設定し、動作周波数モードを通常モードに切替える。これで、システム装置16は通常モードに最適なメモリサイクルで動作する。以降、これら一連の動作を繰返し、電源オフによってシステム装置16は停止する。

【0026】

【発明の効果】本発明により、システム装置の動作周波数の高速化がソフトウェアの切替のみで実現可能となり、ハードウェアの変更が大幅に削減できる。

【0027】また、本発明により、複数の動作周波数モードで動作するシステム装置において、各動作周波数に最適なメモリサイクルが実現可能となり、システム装置の性能向上となる。

【図面の簡単な説明】

【図1】メモリ制御回路ブロック図である。

【図2】クロック周波数pの時のタイミングチャートである。

【図3】クロック周波数qの時のタイミングチャートである。

【図4】2つの動作周波数を切替えるパワーマネージメント機能を持つ情報処理装置のシステム構成を示すブロック図である。

【図5】図4のシステム装置を詳細に示したブロック図である。

【図6】図4及び図5のシステム構成及び処理手順を説明するフローチャートである。

【符号の説明】

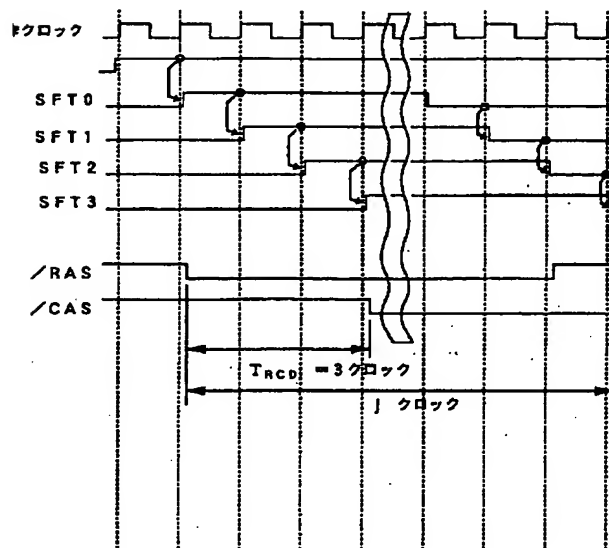
- 1…CPU、
- 2…DRAMコントローラ、
- 3…メモリ起動信号、
- 4…CPU I/F部、

6

- 1 2 …アドレス生成回路、
- 1 3 …データバッファ、
- 1 4 …DRAM、
- 1 5 …入力装置、
- 1 6 …システム装置、
- 1 7 …ソフトウェア、
- 1 8 …入力信号、
- 1 9 …システム制御部、
- 2 0 …メインメモリ、
- 2 1 …メモリサイクル切替えレジスタ、
- 2 2 …メモリサイクル制御回路。

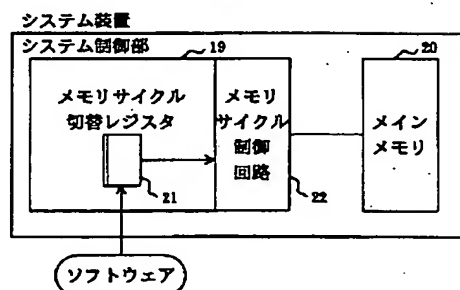
【図 2】

2



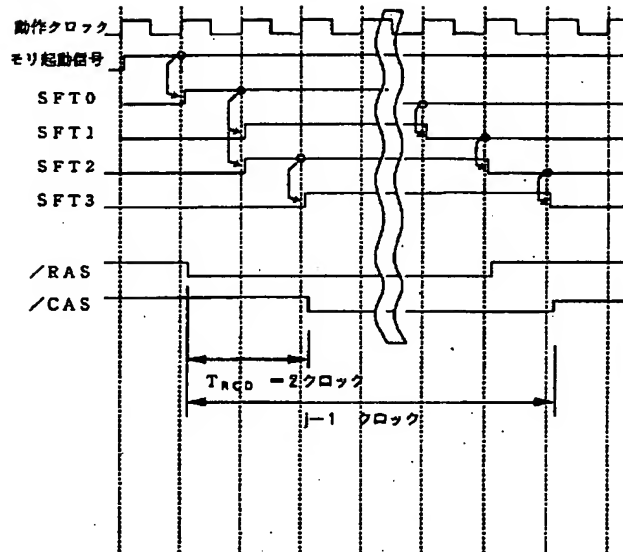
【図 5】

5



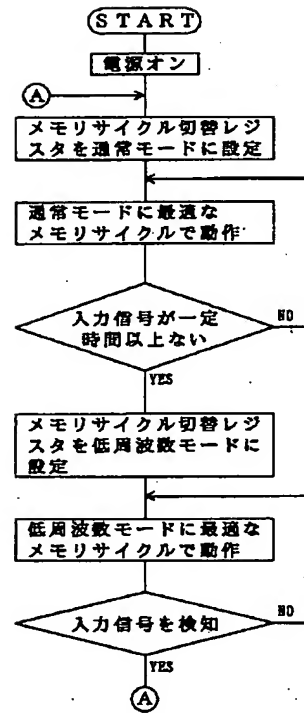
【図3】

図3



【図6】

図6



フロントページの続き

- (72)発明者 東馬 貴志
神奈川県海老名市下今泉810番地 株式会
社日立製作所オフィスシステム事業部内
- (72)発明者 林 修一
神奈川県海老名市下今泉810番地 株式会
社日立製作所オフィスシステム事業部内
- (72)発明者 水谷 功司
神奈川県海老名市下今泉810番地 株式会
社日立製作所オフィスシステム事業部内

- (72)発明者 新田 治郎
愛知県尾張旭市晴丘町池上1番地 株式会
社日立旭エレクトロニクス内
- (72)発明者 渡辺 秀輝
愛知県名古屋市中区栄三丁目10番22号 日
立中部ソフトウェア株式会社内
- (72)発明者 佐々木 正富
神奈川県海老名市下今泉810番地 株式会
社日立製作所オフィスシステム事業部内